

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-166761
 (43)Date of publication of application : 22.06.2001

(51)Int.CI. G09G 5/00

(21)Application number : 11-341461 (71)Applicant : INTERNATL BUSINESS MACH CORP <IBM>

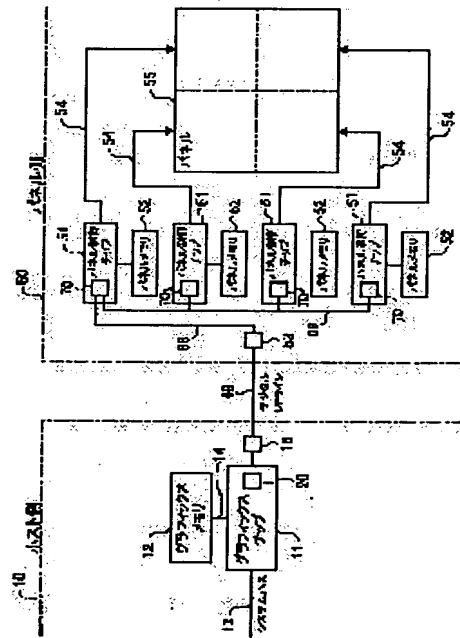
(22)Date of filing : 30.11.1999 (72)Inventor : MAMIYA TAKESHIGE YAMAUCHI KAZUSHI TOMOOKA TAKATOSHI

(54) IMAGE DISPLAY SYSTEM, HOST DEVICE, IMAGE DISPLAY DEVICE, AND IMAGE DISPLAY METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To optimize a job amount of a whole system including graphic chips by distributing processing to a host side and a panel side.

SOLUTION: This is a image display system which is provided with a host side 10 for executing applications, and a panel side 50 connected to this host side 10, and which is intended for displaying an image onto this panel side 50, and when requesting the panel side 50 to display the image, this host side 10 transfers image data before expanding the image to the panel side 50, and the panel side 50 is provided with panel memory 52 for image expansion, and expands the image in the panel memory 52 based on the image data transferred from the host side 10 and also displays the image expanded in the panel memory 52 on a panel 55.



LEGAL STATUS

[Date of request for examination] 27.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-166761

(P2001-166761A)

(43)公開日 平成13年6月22日 (2001.6.22)

(51)Int.Cl.⁷

G 0 9 G 5/00

識別記号

5 3 0

F I

G 0 9 G 5/00

テ-マコ-ト[®] (参考)

5 3 0 A 5 C 0 8 2

審査請求 有 請求項の数26 O L (全 24 頁)

(21)出願番号 特願平11-341461

(22)出願日 平成11年11月30日 (1999.11.30)

(71)出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州

アーモンク (番地なし)

(72)発明者 間宮 丈滋

神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 大和事業所内

(74)復代理人 100104880

弁理士 古部 次郎 (外3名)

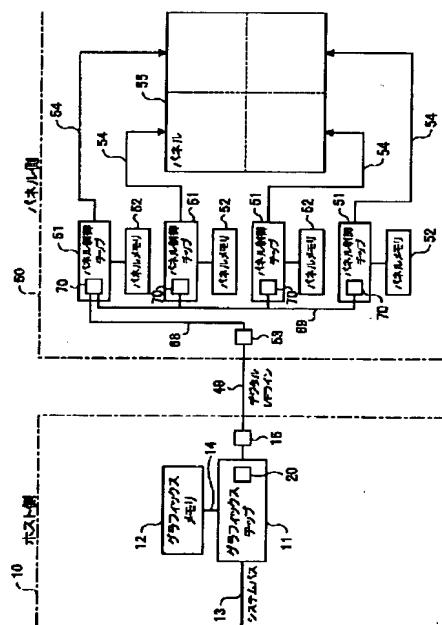
最終頁に続く

(54)【発明の名称】 画像表示システム、ホスト装置、画像表示装置、および画像表示方法

(57)【要約】

【課題】 ホスト側とパネル側とで処理の分散を図ることで、グラフィックスチップを含めたシステム全体の仕事量を最適化する。

【解決手段】 アプリケーションを実行するホスト側10と、このホスト側10に接続されたパネル側50とを備え、このパネル側50に対して画像を表示するための画像表示システムであって、このホスト側10は、パネル側50に画像の表示を要求する際に画像を展開する前の画像データをパネル側50に対して転送し、パネル側50は、画像展開用のパネルメモリ52を備え、ホスト側10から転送された画像データに基づいてパネルメモリ52に画像を展開すると共に、パネルメモリ52に展開された画像をパネル55に表示する。



【特許請求の範囲】

【請求項1】 アプリケーションを実行するホストと、当該ホストに接続されたディスプレイとを備え、当該ディスプレイに対して画像を表示するための画像表示システムであって、前記ホストは、前記ディスプレイに画像の表示を要求する際に画像を展開する前の画像データを当該ディスプレイに対して転送し、

前記ディスプレイは、画像展開用のパネルメモリを備え、前記ホストから転送された画像データに基づいて当該パネルメモリに画像を展開すると共に、当該パネルメモリに展開された画像をパネルに表示することを特徴とする画像表示システム。

【請求項2】 前記ディスプレイは、前記パネルメモリに展開された画像に基づいて、前記パネルをリフレッシュすることを特徴とする請求項1記載の画像表示システム。

【請求項3】 前記ホストは、第1の解像度により実行されるアプリケーションからの出力に基づいて当該第1の解像度の画像データを前記ディスプレイに対して転送し、

前記ディスプレイは、転送された前記第1の解像度である前記画像データを、より高い解像度である第2の解像度に変換して前記パネルメモリに対して展開することを特徴とする請求項1記載の画像表示システム。

【請求項4】 前記ホストは、圧縮された圧縮画像データを圧縮されたままの状態で前記ディスプレイに対して転送し、

前記ディスプレイは、転送された前記圧縮画像データを伸長して前記パネルメモリに対して展開することを特徴とする請求項1記載の画像表示システム。

【請求項5】 同一のアプリケーションを実行する複数のシステム装置と、

表示領域を複数の領域に分割し、分割された当該領域に対して駆動を制御するためのパネル制御手段を備えたディスプレイ装置とを備え、複数の前記システム装置は、前記ディスプレイ装置に設けられたパネル制御手段にそれぞれ接続されると共に、当該パネル制御手段に対して同期を取る為の制御信号を出し、

前記ディスプレイ装置における前記パネル制御手段は、複数の前記システム装置から出力された前記制御信号に基づいて、複数の当該システム装置に対して同期を取る為の制御信号を出力することを特徴とする画像表示システム。

【請求項6】 前記システム装置から出力される前記制御信号は、当該システム装置がそれぞれ次のフレーム内に処理できるジョブ情報であり、

前記パネル制御手段から出力される前記制御信号は、複数の前記システム装置から出力される前記ジョブ情報の

10

20

30

40

50

中から検出された最も処理速度の遅いジョブを示す情報をすることを特徴とする請求項5記載の画像表示システム。

【請求項7】 前記システム装置は、前記パネル制御手段から出力された前記制御信号に基づいて、実行すべきジョブを決定すると共に、当該ジョブの実行により前記表示手段に対して表示を要求する画像データを出力することを特徴とする請求項5記載の画像表示システム。

【請求項8】 要求される表示特性やデータ量が異なる複数のアプリケーションを実行するホストと、画像を表示するディスプレイと、当該ホストからの画像データを当該ディスプレイに対して転送するデジタルインターフェイスとを備えた画像表示システムであって、前記デジタルインターフェイスは、前記ホストが実行するアプリケーションに応じて転送フォーマットを変更して画像データを前記ディスプレイに対して転送し、前記ディスプレイは、前記デジタルインターフェイスを介して転送された前記画像データを展開用のパネルメモリに展開した後にパネルに対して画像を表示することを特徴とする画像表示システム。

【請求項9】 前記デジタルインターフェイスは、パケットによって画像データを転送すると共に、当該パケット内にデータ転送モードを指定して当該画像データを転送し、

前記ディスプレイは、指定された前記データ転送モードに基づいて画像データを前記パネルメモリに展開することを特徴とする請求項8記載の画像表示システム。

【請求項10】 要求される表示特性やデータ量が異なる複数のアプリケーションを実行する実行手段と、前記アプリケーションが意識している画像空間の中で纏まって意味を持つ領域であるウィンドウに対し、当該ウィンドウに対して定義されるウィンドウIDを管理するウィンドウ管理手段と、

前記ウィンドウ管理手段により管理されたウィンドウIDを付加し、前記アプリケーションが表示要求する展開前の画像データを転送する画像データ転送手段と、を具備することを特徴とするホスト装置。

【請求項11】 前記画像データ転送手段は、前記画像データをパケットの形式を用いて転送すると共に、前記アプリケーションに応じて転送データ形式を変更して転送することを特徴とする請求項10記載のホスト装置。

【請求項12】 接続されたディスプレイに対して画像データを転送する画像データ転送手段と、

実行された静止画のアプリケーションと実行された動画のアプリケーションとに基づいて前記データ転送手段に対して画像データを供給する制御手段とを備え、

前記制御手段は、前記静止画のアプリケーションについては前記ディスプレイに要求されるリフレッシュのタイミングとは無関係に画像データを供給し、前記動画のアプリケーションについては前記ディスプレイに要求され

るリフレッシュのタイミングに同期して画像データを供給することを特徴とするホスト装置。

【請求項13】 画像を表示するためのパネルと、アプリケーションを実行するホスト装置から展開前の画像データを受信する画像データ受信手段と、前記画像データ受信手段から受信した前記画像データを展開するためのパネルメモリと、前記パネルメモリに対して画像データを展開すると共に、前記パネルに対して展開された画像を書き込むパネル制御手段と、を備えたことを特徴とする画像表示装置。
10

【請求項14】 前記画像データ受信手段は、要求される表示特性やデータ量が異なる複数からなる展開前の画像データを受信し、

前記パネル制御手段は、前記複数からなる展開前の前記画像データを展開して表示画面を形成することを特徴とする請求項13記載の画像表示装置。

【請求項15】 前記パネル制御手段は、前記パネルメモリに展開された画像に基づいて前記パネルに対してリフレッシュを実行することを特徴とする請求項13記載の画像表示装置。

【請求項16】 前記画像データ受信手段は、第1の解像度による画像データを受信し、

前記パネル制御手段は、前記画像データを前記第1の解像度とは異なる第2の解像度にスケーリングして前記パネルメモリに対して展開することを特徴とする請求項13記載の画像表示装置。

【請求項17】 同一のジョブを実行する複数のシステム装置に接続されると共に、複数の当該システム装置から転送される画像データに基づいて画像を表示する画像表示装置であって、

複数の表示エリアに分割されたパネルとして、または複数の表示パネルを纏めて1つのパネルとして表示する表示部と、

前記表示部に対して画像表示を制御するパネル制御手段とを備え、

前記パネル制御手段は、複数の前記システム装置からジョブに関する制御信号を受信すると共に、複数の当該システム装置が同期をとるために用いる制御信号を複数の当該システム装置に対して送信することを特徴とする画像表示装置。

【請求項18】 前記パネル制御手段は、前記表示部における前記分割されたパネルのそれぞれに対応して、または纏めて1つのパネルとされる複数の表示パネルを構成する前記表示パネルのそれぞれに対応して、複数設けられると共に、

特定のパネル制御手段が受信した前記制御信号を他のパネル制御手段が認識するための内部バスとを更に備えたことを特徴とする請求項17記載の画像表示装置。

【請求項19】 前記制御手段が受信する前記制御信号

は、前記システム装置が次のフレームにて実行可能なジョブ番号であり、前記制御手段は、前記バス上に存在するジョブ番号に基づいて、前記システムが次のフレームにて実行すべきジョブ番号を含む制御信号を送信することを特徴とする請求項18記載の画像表示装置。

【請求項20】 画像を表示するためのパネルと、複数のアプリケーションを実行するホスト側から展開前の画像データを受信する画像データ受信手段と、

前記画像データ受信手段から受信した前記画像データを展開するためのパネルメモリと、

前記パネルメモリに対して画像データを展開すると共に、前記アプリケーションが異なる画像データ毎に色調整を施して前記パネルに対して画像を書き込むパネル制御手段と、を備えたことを特徴とする画像表示装置。

【請求項21】 画像を表示するためのパネルと、第1のビット数からなるカラー画像データと、当該第1のビット数とは異なる第2のビット数からなるモノクローム画像データとをホスト側から受信する画像データ受信手段と、

前記画像データ受信手段から受信した前記画像データを展開するためのパネルメモリと、

前記パネルメモリに対して画像データを展開するパネル制御手段とを備え、

前記パネル制御手段は、前記画像データ受信手段から受信した前記カラー画像データと前記モノクローム画像データとでデータ形式を変更して前記パネルメモリに展開することを特徴とする画像表示装置。

【請求項22】 前記パネル制御手段は、前記カラー画像データと前記モノクロームデータとを識別するための識別ビットを前記パネルメモリに書き込み、当該識別ビットに基づいて展開処理を実行することを特徴とする請求項21記載の画像表示装置。

【請求項23】 アプリケーションを実行するホストからの信号に基づいて接続されたディスプレイに対して画像を表示する画像表示方法であって、

画像表示のための展開がなされていない画像データを前記ホストからデジタルインターフェイスを介して前記ディスプレイに対して転送し、

前記ディスプレイが有するメモリに対し、転送された前記画像データを当該ディスプレイが自ら展開し、

前記メモリに展開された画像を前記ディスプレイの上に表示することを特徴とする画像表示方法。

【請求項24】 前記ディスプレイが有する前記メモリに展開された前記画像に基づいて前記ディスプレイのリフレッシュを行うことを特徴とする請求項23記載の画像表示方法。

【請求項25】 アプリケーションを実行するホストからの信号に基づいて、接続されたディスプレイに対して画像を表示する画像表示方法であって、

前記ホストからは前記アプリケーションにより実行された第1の解像度による画像データを前記ディスプレイに對して転送し、

前記ディスプレイは、前記ホストから転送された前記第1の解像度による画像データをスケーリングして、前記第1の解像度とは異なる第2の解像度で画像を展開し、当該ディスプレイが有するパネルに対して表示出力することを特徴とする画像表示方法。

【請求項26】前記ディスプレイは、複数パネルをタイリングしたマルチパネルまたは解像度の大きな高精細パネルであり、

前記画像データのスケーリングは、拡大表示であることを特徴とする請求項25記載の画像表示方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ディスプレイパネルに画像を表示する際のビデオインターフェイス機構に關し、より詳しくは、複数の表示パネルや高精細パネルを駆動するための駆動方法、駆動装置、表示装置等に関する。

【0002】

【従来の技術】一般に、表示画像はパソコンコンピュータ(PC)等からなるホスト装置のグラフィックスコントローラにより処理されて表示装置に送られる。ところが、近年の液晶表示(LCD)パネルに代表される表示装置の進歩により、ホスト装置と表示装置との処理能力に大きな差が出てきた。例えば、LCDパネルにおいては、パネル自身の高精細化が進み、QXGA(Quad Extended Graphics Array)(2048×1536ドット)や、QSXGA(Quad Super Extended Graphics Array)(2560×2048ドット)、QUXGA(Quad Ultra Extended Graphics Array)(3200×2400ドット)などの解像度が非常に大きな高精細(超高精細)パネルが実用化されつつある。しかし、パネルの進歩に対してシステムパワーとグラフィックスコントローラのパワーが追従できなくなってきており、超高精細パネルでの充分な表示ができないのが現状である。

【0003】例えば、グラフィックスコントローラに代表される画像処理システムの性能は、一般的な表示機能でQXGA程度が限界であり、画像家庭用ゲーム機等に代表される3次元(3D)のコンピュータグラフィックス(CG)ではVGA(Video Graphics Array)(640×480ドット)程度の低解像度の処理能力に留まっている。このように、例えば最先端の動画はまだVGA程度の解像度であるのに対し、パネルはその数倍から数十倍の解像度が製造できるようになっており、処理能力の格差が顕著に現れてきた。また一方で、LCDパネルに代表される表示装置は、近年、その表示部の周りである額縁が更に小さくなり、複数のパネルをまとめて拡大パネルとする所謂タイリングが可能となってきた。その結果、更に解

像度を上げることが可能となり、ホスト側との格差がより顕著に現れるようになってきた。

【0004】このグラフィックスチップのパワー不足を解消する第1の手段として、例えば、図18に示すシステム構成を考えることができる。このシステム構成では、パネル側200における高精細なパネル201を4つに分割し、その4つの領域に対応する数だけ複数のパネル制御チップ202を設けている。符号203はこの分割による表示分割線である。一方、ホスト側210では、各パネル制御チップ202に対して同数のグラフィックスチップ211を設け、同数のデジタルインターフェイス(1/F)ライン220を介して各パネル制御チップ202に接続されている。このグラフィックスチップ211には、それぞれグラフィックスメモリ212が備えられている。また、アプリケーションからの表示データは、システムバス213を介してそれぞれのグラフィックスチップ211にマルチ入力される。この技術によれば、各グラフィックスチップ211の処理能力が低くても、例えば4セットで処理することができるため、処理能力についての問題は解決できる。

【0005】また、パワー不足を解消する第2の手段として、例えば、表示装置側にメモリを備え、技術的に実現可能な転送レートまで転送速度を落とす方法が考えられる。より具体的には、ホスト側としては、グラフィックスチップを1つだけ設け、全画面分の容量が確保されたグラフィックスメモリを接続させる。一方、モニタ側としては、パネル制御チップに対してパネルメモリを設ける。ホスト側にてグラフィックスメモリに画像データを展開した後、処理能力の不足分に対応して転送速度を落としてモニタ側に画像データを送る。モニタ側に送られた画像データは、パネル制御チップによりパネルメモリに一旦、格納された後に画面のリフレッシュがされるものである。この手段によれば、転送速度を遅くすることで今までのリフレッシュレートをそのまま採用でき、高精細な静止画像を表示することが可能となる。

【0006】

【発明が解決しようとする課題】上述のような手段を講じることにより、処理能力の低いグラフィックスチップを用いても、高精細なパネルに対して一応の表示が可能となる。しかしながら、上述の第1の手段では、図18に示すパネル201の表示分割線203をまたがる分割画面の画像処理に大きな制限が付くことが第1の問題となる。例えば、もとの画像データがQXGAでない場合には、最初からVGAやXGA(Extended Graphics Array)(1024×768ドット)を拡大した状態で、グラフィックスチップ211に対して分割してデータを送る必要がある。即ち、パンダリを超えて拡大し、拡大画面に対して画像を出力することが要求されるのである。これは、表示画面の解像度でシステムが変化する度に、ホスト側210が画像データを切り分けてグラフィックスチップ2

11に転送することを意味する。現状のアプリケーションでは殆ど全てが1枚の画面に書き込む作業しか予定しておらず、チップ毎に画面分割してメモリに対して分割展開する処理を、現状のアプリケーションにて実行することは実質上困難である。

【0007】また、上述の第1の手段における第2の問題点として、システムバス213がそれぞれのグラフィックスチップ211にマルチ入力している事で、共通のバスであるシステムバス213のパフォーマンスが全体の処理のボトルネックとなることが挙げられる。このシステムバス213としては、PCI(peripheral component interconnect)バスとAGP(accelerated graphics port)の2つがあり、パフォーマンスとしてはAGPが8倍以上高い。3Dグラフィックスなどの大量の画像データ転送においてはPCIバスでは能力が不足しており、転送速度の速いAGPを用いることが必要となる。しかしながら、このAGPでは高速処理をするためにバス構造を備えておらず、マルチ接続ができずに1対1のデータ処理となっている。その為に、図18に示すようにグラフィックスチップ211が複数、存在する場合には、AGPを使用することが出来ず、結果としてシステムバス213のパフォーマンスを上げることができないものである。

【0008】一方、上述の第2の手段では、第1の手段における上述の2つの問題点(画面切れ目のスケーリングとシステムバスの問題)は解決することができる。しかしながら、転送速度を例えば1/4に落とせば表示が可能であるものの、この転送速度を落とすことが新たな問題となる。即ち、動画を表示する場合には、転送が遅いことでコマ落ちしてしまう。例えば60Hzで期待されてもその速度で書き込むことが出来ないのである。この第2の手段では、例えば、高精細の静止画と動画が混在したようなウィンドウ表示を実現することはできないものである。

【0009】本発明は、以上のような技術的課題を解決するためになされたものであって、その目的とするところは、ホスト側(システム側)とパネル側(モニタ側)とで処理の分散を図ることで、グラフィックスチップを含めたシステム全体の仕事量を最適化することにある。また、他の目的は、転送能力も含めた画像表示システムの処理能力を十分に引き出せるようにし、超高精細パネルやマルチパネルへの表示能力不足などの問題を解決することにある。更に他の目的は、早い転送速度が要求される3Dグラフィックス等においても、超高精細パネルに対する適切な表示を可能とすることにある。

【0010】

【課題を解決するための手段】かかる目的のもと、本発明の画像表示システムは、ホスト側とディスプレイ側にて処理の分散を図ることを特徴としている。即ち、アプリケーションを実行するホストと、このホストに接続さ

れたディスプレイとを備え、このディスプレイに対して画像を表示するための画像表示システムであって、このホストは、ディスプレイに画像の表示を要求する際に画像を展開する前の画像データをディスプレイに対して転送し、このディスプレイは、画像展開用のパネルメモリを備え、ホストから転送された画像データに基づいてパネルメモリに画像を展開すると共に、パネルメモリに展開された画像をパネルに表示することを特徴としている。

【0011】このディスプレイは、例えば、パネルメモリに展開された画像に基づいて、パネルをリフレッシュすることを特徴とすれば、ホスト側(システム側)のリフレッシュに消費していた部分をディスプレイ側にて行うことが可能となり、データ転送にかかる消費電力を低くすることができる点で好ましい。また、例えば、ホストは、第1の解像度により実行されるアプリケーションからの出力に基づいてこの第1の解像度の画像データをディスプレイに対して転送し、ディスプレイは、転送された第1の解像度である画像データを、より高い解像度である第2の解像度に変換してパネルメモリに対して展開することを特徴とすることができる。このように構成すれば、ホスト側からスケーリングの拡大(スケールアップ)がなされたデータを転送する必要がなくなり、例えば、超高精細表示で4倍の拡大になった場合においても転送データ量の増大を防ぐことが可能となる。更に、ホストは、圧縮された圧縮画像データを圧縮されたままの状態でディスプレイに対して転送し、このディスプレイは、転送された前記圧縮画像データを伸長してパネルメモリに対して展開することを特徴とすれば、例えば圧縮されたデータであるDVD(Digital Versatile Disc)の画面を一部表示した場合等で、転送量を大幅に削減することができる点で好ましい。

【0012】尚、この画像表示システムの態様としては、ノートブックPCのようにホスト側とディスプレイ側が同一の筐体に存在する場合の他、ホスト側のシステム装置とディスプレイ側の表示装置が別々の筐体でインターフェイス(I/F)ケーブル等を介して接続される場合等、数々の態様が考えられる。ここで、展開する前の画像データを転送することは、例えば、表示装置に出力するそのままの画像に対しその全面に亘ってスキャニングされた画像データを転送する従来技術と区別されるものである。

【0013】本発明の画像表示システムでは、複数のシステムを同時に用いた分散処理も可能である。即ち、同一のアプリケーションを実行する複数のシステム装置と、表示領域を複数の領域に分割し、分割された領域に対して駆動を制御するためのパネル制御手段を備えたディスプレイ装置とを備え、この複数のシステム装置は、ディスプレイ装置に設けられたパネル制御手段にそれぞれ接続されると共に、パネル制御手段に対して同期を取

る為の制御信号を出力し、このディスプレイ装置におけるパネル制御手段は、複数のシステム装置から出力された制御信号に基づいて、複数のシステム装置に対して同期を取る為の制御信号を出力することを特徴とすることができる。これによれば、例えば、一般にシステムのパワーが不足している3Dの動画表示においても、システム装置を4台使ってドライブすることで、大画面や超高精細の表示が可能となる。尚、このパネル制御手段の様としては、複数のチップに分かれている場合の他、1つのチップにより形成される場合もある。

【0014】また、このシステム装置から出力される制御信号は、システム装置がそれぞれ次のフレーム内に処理できるジョブ情報であり、このパネル制御手段から出力される制御信号は、複数のシステム装置から出力されるジョブ情報の中から検出された最も処理速度の遅いジョブを示す情報であることを特徴とすることができる。このジョブ情報としては、例えば、次のフレーム内で実行できる最大(最後)のジョブ番号をすることができる。更に、このシステム装置は、このパネル制御手段から出力された制御信号に基づいて、実行すべきジョブを決定すると共に、このジョブの実行により表示手段に対して表示を要求する画像データを出力することを特徴とすることができる。これらの構成によれば、例えば、4つのシステム装置で分割した1/4の画面を制御した場合でも、簡単に全体を制御することが可能となり、特定のアプリケーションにおけるパフォーマンスを向上することが可能となる。また、各システム装置は、ディスプレイ装置とのやり取りの中で同期を取ることが可能となり、システム側で同期をとるための複雑な処理を削減できる点からも優れている。

【0015】一方、この画像表示システムは、複数のアプリケーションから出力される表示要求に対して、混在した画像をディスプレイ側にて展開して表示できる。即ち、要求される表示特性やデータ量が異なる複数のアプリケーションを実行するホストと、画像を表示するディスプレイと、このホストからの画像データをディスプレイに対して転送するデジタルインターフェイスとを備えた画像表示システムであって、このデジタルインターフェイスは、ホストが実行するアプリケーションに応じて転送フォーマットを変更して画像データをディスプレイに対して転送し、このディスプレイは、デジタルインターフェイスを介して転送された画像データを展開用のパネルメモリに展開した後にパネルに対して画像を表示することを特徴とすることができます。

【0016】また、このデジタルインターフェイスは、パケットによって画像データを転送すると共に、このパケット内にデータ転送モードを指定して画像データを転送し、このディスプレイは、指定されたデータ転送モードに基づいて画像データをパネルメモリに展開することを特徴とすることができます。このように構成すれば、例

えば、ビット数、解像度、転送モードや転送速度、等の異なるアプリケーションからの画像データの転送を受け、パネル側にて画像を展開して表示する等への拡張の余地がある。

【0017】次に、本発明をホスト装置から把えると、本発明のホスト装置は、要求される表示特性やデータ量が異なる複数のアプリケーションを実行する実行手段と、このアプリケーションが意識している画像空間の中で纏まって意味を持つ領域であるウィンドウに対し、ウィンドウに対して定義されるウィンドウIDを管理するウィンドウ管理手段と、このウィンドウ管理手段により管理されたウィンドウIDを付加し、アプリケーションが表示要求する展開前の画像データを転送する画像データ転送手段とを具備することを特徴としている。また、この画像データ転送手段は、画像データをパケットの形式を用いて転送すると共に、アプリケーションに応じて転送データ形式を変更して転送することを特徴とすることができます。このように構成すれば、例えば、従来、ホスト側にて全て行っていたリフレッシュ作業等をディスプレイ側に移管することが可能となり、処理の分散化によってホスト装置の処理能力を十分に引き出すことができるようになる点で好ましい。

【0018】また、本発明のホスト装置は、接続されたディスプレイに対して画像データを転送する画像データ転送手段と、実行された静止画のアプリケーションと実行された動画のアプリケーションとに基づいてデータ転送手段に対して画像データを供給する制御手段とを備え、この制御手段は、この静止画のアプリケーションについてはディスプレイに要求されるリフレッシュのタイミングとは無関係に画像データを供給し、この動画のアプリケーションについてはディスプレイに要求されるリフレッシュのタイミングに同期して画像データを供給することを特徴とすることができます。この構成によれば、ホスト装置では、例えば3Dのワークのみとすることができます、処理能力を例えばSXGAの場合は2倍以上、向上させることができる。

【0019】一方、本発明を画像表示装置側から把えると、本発明の画像表示装置は、画像を表示するためのパネルと、アプリケーションを実行するホスト装置から展開前の画像データを受信する画像データ受信手段と、この画像データ受信手段から受信した画像データを展開するためのパネルメモリと、このパネルメモリに対して画像データを展開すると共に、パネルに対して展開された画像を書き込むパネル制御手段とを備えたことを特徴としている。

【0020】この画像データ受信手段は、要求される表示特性やデータ量が異なる複数からなる展開前の画像データを受信し、このパネル制御手段は、複数からなる展開前の画像データを展開して表示画面を形成することを特徴としている。また、このパネル制御手段は、パネル

11.

メモリに展開された画像に基づいてパネルに対してリフレッシュを実行することを特徴とすることができます。更に、この画像データ受信手段は、第1の解像度による画像データを受信し、このパネル制御手段は、画像データを第1の解像度とは異なる第2の解像度にスケーリングしてパネルメモリに対して展開することを特徴とすることができます。

【0021】また、本発明は、同一のジョブを実行する複数のシステム装置に接続されると共に、複数のシステム装置から転送される画像データに基づいて画像を表示する画像表示装置であって、複数の表示エリアに分割されたパネルとして、または複数の表示パネルを纏めて1つのパネルとして表示する表示部と、この表示部に対して画像表示を制御するパネル制御手段とを備え、このパネル制御手段は、複数のシステム装置からジョブに関する制御信号を受信すると共に、複数のシステム装置が同期をとるために用いる制御信号を複数のシステム装置に対して送信することを特徴としている。尚、表示部において、複数の表示パネルを纏めて1つのパネルとして表示する場合とは、タイリングされて平面的に1枚のパネルとされる場合の他、立体的や、空間的には表示パネルが前後等に離れている態様も考えられる。

【0022】ここで、パネル制御手段としては、その態様として単数のチップ等で形成される場合がある。その一方で、このパネル制御手段は、表示部における分割されたパネルのそれぞれに対応して、または纏めて1つのパネルとされる複数の表示パネルを構成する表示パネルのそれぞれに対応して、複数設けられると共に、特定のパネル制御手段が受信した制御信号を他のパネル制御手段が認識するための内部バスとを更に備えたことを特徴とすれば、複数のパネル制御手段がそれぞれ受信した制御信号に基づいて各システム装置の同期をとるための制御信号を出力することが可能となる。また、この制御手段が受信する制御信号は、システム装置が次のフレーム内にて実行可能なジョブ番号であり、この制御手段は、バス上に存在するジョブ番号に基づいて、前記システムが次のフレームにて実行すべきジョブ番号を含む制御信号を送信することを特徴とすれば、ジョブ番号を用いてシステム装置とのやり取りの中で複数のシステム装置に対する同期を取ることができる点で好ましい。

【0023】更に、本発明の画像表示装置は、画像を表示するためのパネルと、複数のアプリケーションを実行するホスト側から展開前の画像データを受信する画像データ受信手段と、この画像データ受信手段から受信した画像データを展開するためのパネルメモリと、このパネルメモリに対して画像データを展開すると共に、アプリケーションが異なる画像データ毎に色調整を施してパネルに対して画像を書き込むパネル制御手段とを備えたことを特徴としている。この構成の態様として、例えば、アプリケーション毎の転送処理単位であるウィンドウに

10

20

30

40

50

12

分けられた画像データに対して、ガンマなどの色調整の変換もウィンドウ毎に制御することが可能となる。

【0024】また、本発明の画像表示装置は、画像を表示するためのパネルと、第1のビット数からなるカラー画像データと、この第1のビット数とは異なる第2のビット数からなるモノクローム画像データとをホスト側から受信する画像データ受信手段と、この画像データ受信手段から受信した画像データを展開するためのパネルメモリと、このパネルメモリに対して画像データを展開するパネル制御手段とを備え、このパネル制御手段は、画像データ受信手段から受信したカラー画像データとモノクローム画像データとでデータ形式を変更してパネルメモリに展開することを特徴としている。この構成によれば、タイプの異なる画像を混在して表示することが可能となる。更に、このパネル制御手段は、カラー画像データとモノクロームデータとを識別するための識別ビットをこのパネルメモリに書き込み、この識別ビットに基づいて展開処理を実行することもできる。

【0025】一方、本発明は、アプリケーションを実行するホストからの信号に基づいて接続されたディスプレイに対して画像を表示する画像表示方法であって、画像表示のための展開がなされていない画像データをこのホストからデジタルインターフェイスを介してディスプレイに対して転送し、このディスプレイが有するメモリに対し、転送された画像データをディスプレイが自ら展開し、このメモリに展開された画像をディスプレイの上に表示することを特徴としている。そして、例えば、ディスプレイが有するメモリに展開された画像に基づいてディスプレイのリフレッシュを行うことを特徴とすれば、リフレッシュ等の処理をホスト側とディスプレイ側とで分散することが可能となり、例えば、リフレッシュの度に展開後の大量な画像データをホスト側から転送する必要がなくなる。

【0026】本発明は、また、アプリケーションを実行するホストからの信号に基づいて、接続されたディスプレイに対して画像を表示する画像表示方法であって、このホストからはアプリケーションにより実行された第1の解像度による画像データをディスプレイに対して転送し、このディスプレイは、ホストから転送されたこの第1の解像度による画像データをスケーリングして、第1の解像度とは異なる第2の解像度で画像を展開し、ディスプレイが有するパネルに対して表示出力することを特徴とすることができます。また、このディスプレイは、複数パネルをタイリングしたマルチパネルまたは解像度の大きな高精細パネルであり、この画像データのスケーリングは、拡大表示であることを特徴とすることもできる。

【0027】

【発明の実施の形態】実施の形態1

まず、構成部分の詳細な説明に入る前に、本実施の形態が適用された表示画面の構成について、図8を用いて簡単に説明する。表示画面であるパネル55は、例えばQUXGA(3200×2400ドット)の超高精細からなる液晶表示パネルである。図8の例では、パネル55は表示分解線56によって4つのサブパネルに分解されている。これらのサブパネルへの画像展開は、それぞれ異なるパネル制御チップ51(後述)によって駆動されている。これは、実際のパネル55では処理するドット数が多すぎるため、1個のパネル制御チップ51では駆動することができないためである。このパネル制御チップ51の1つは外部データバス68に接続され、各サブパネルはパネル内データバス69に接続されている。また、パネル制御チップ51に入力され破線で示される外部データバス68は、実施の形態2で詳述するマルチシステムを採用する際に、各サブパネルに対して各システムから外部入力されるものである。

【0028】ここで、本実施の形態では、ウィンドウという概念を導入している。このウィンドウは、ホストが意識している画像空間の上で纏まって意味を持つ領域であり、画像データの転送処理の単位である。図8では、3次元(3D)動画画面を表示するためのウィンドウ58と、テキスト表示に用いられるウィンドウ59が示されている。尚、図8に示すように、表示画面57に例えば解像度が200dpi(dot per inch)である高精細な解像度でテキスト文字等の表示をしようとするとき、通常使用される画面の解像度は100dpiであることから、大きさが1/4となる。このために、テキスト表示においては4倍の大きなフォントを用いて表示される。一方、ウィンドウ58による3D動画画面は、もともとのデータはVGA(640×480ドット)で作られており、画面上では1600×1200ドットの縦横2.5倍で表示されている。

【0029】図9(a)、(b)は、データ毎の処理とその処理量を説明するための説明図である。図9(a)は本実施の形態におけるデータソースと各構成部の処理の体系図である。この図9(a)では、ホスト側のグラフィックスチップ211内におけるプリプロセッサ20には、テキストデータや3Dアニメーション、32ビットカラーメージ、DVD等のアプリケーション毎に対応したプリハンドラー26(後述)が備えられている。このプリハンドラー26からの画像データは、I/Fトランシーバー15を経由してデジタルI/Fライン49を介してパネル側に送出される。パネル側では、I/Fレシーバー53を経由してパネル制御チップ51内のポストハンドラー78(後述)に画像データが入力される。このポストハンドラー78は1つのウィンドウの処理を担当する処理ユニットであり、このポストハンドラー78にて処理が実行されてパネル55に画像が表示される。

【0030】一方、図9(b)は、従来技術におけるホスト側で画像を展開してパネル側に転送する様子から、デ

ータバンド幅に制限のある状態を示している。この図9(b)では、ホスト側のグラフィックスチップ211によってグラフィックスメモリ212に画像データが展開される。そして、例えばパネル側のリフレッシュタイミングを合わせてI/Fトランシーバー15を経由し、デジタルインターフェイス(I/F)ライン220を介してパネル側に画像データが転送される。パネル側では、画像データがI/Fレシーバー53を経由してパネル制御チップ202に転送され、パネル(図示せず)に表示されている。

【0031】ここで、例えば、ゲームに代表される3Dアニメーションの処理は、現状、最高速のものでもVGA解像度である。これでもまだ十分ではなく、更に処理能力の向上が期待されており、UXGA以上の表示画面の処理では、更に数十倍の処理能力が必要となる。また、パネル55はQUXGA(3200×2400ドット)の解像度で、この画面を生成するためのリフレッシュのデータ量は、毎秒3200×2400×24(R/G/Bそれぞれ8ビット)×60[Hz]×2.5=3.45[Gbyte/s]が必要となる。ところが、図9(b)に示す従来技術では、グラフィックスチップ211とグラフィックスメモリ212、およびパネル制御チップ202とのバス幅にて最大処理能力が決定されてしまう。一般的には、128ビット×144[MHz]=2.3[Gbyte/s]が最大で、実際にはこの90%程度が使用できる最大能力である。従って、パネル55が高精細画面になると、このメモリ処理チップの開発が非常に難しくなる。一方、図9(a)に示す本実施の形態では、パネル55の画面を分割して駆動することができるため、パネル制御チップ51も分割数に合わせて増加することが可能となり、例えば4分割して処理すれば、処理データ量を1/4とすることができます。

【0032】また、前述のように、例えば3Dアニメーションは更に処理できるポリゴン数を増大することが望まれている。その一方で、テキスト画面などの静止画では処理速度の問題よりは更に高精細な表示画面が望まれている。即ち、テキスト画面は人間に読まれることを目的としていることから、20[Hz]程度に書き込みレートを下げても影響がない。逆に、高精細化すれば印刷物よりも美しくなる。このように、表示データによって必要とされる処理形態が大きく異なり、全体を同じ処理で扱うのではなく、表示データに応じて最適化できれば、結果として全体の処理能力が各段に向上する。

【0033】そのため、本実施の形態ではウィンドウの概念を導入し、データ形式を分け、分散処理を図ることでこの問題点を解決している。即ち、図9(a)に示すように、3Dアニメーションのウィンドウを例えばVGA解像度で生成して2.5倍に拡大表示するのと同時に、転送速度が遅い例えば30[Hz]のSXGA画面を更新できるように構成した。図9(b)に示す従来の表示方式では、グラフィックスチップ211とグラフィックスメ

モリ212との間の転送速度は約3[Gbyte/s]必要である。また、デジタルI/Fライン220として1.5[Gbyte/s]が転送速度として必要となり、DVIインターフェイスを用いると4セット必要となる。これに対し、本実施の形態では、デジタルI/Fライン49は、VGAとSXGAの半分の転送量で十分であり、300[Mbyte/s]と1/5の転送量となる。また、パネル側のパネル制御チップ51とパネルメモリ(後述)との間の転送量も1[Gbyte/s]以下で十分である。

【0034】図10は、本実施の形態にて用いられるパケットを用いた画像データの転送方式を、上述のウィンドウとの関係で簡単に説明した説明図である。今、ホストのアプリケーションによる画像イメージとして、領域Aと領域Bが存在するものとする。本実施の形態では、画像の展開作業をホスト側10(後述)で実行せず、画像の展開作業はパネル側50(後述)で行われる。ホスト側10では、例えば領域Aに対してウィンドウID:4を、領域Bに対してウィンドウID:5を設定する。パネル側50への画像情報の転送は、各領域毎に区分されてパケット方式にて実行される。より具体的には、ディスプレイイネーブル(Display Enable)信号に対応して、例えばスキャニ毎にパケット化されて画像信号が転送される。これらのパケットによる画像信号には、それぞれウィンドウIDを示すID情報が付加されて転送される。例えば、特定のサブパネルにおける各ハンドラー(後述)に、ウィンドウID:4およびウィンドウID:5を処理するように設定すれば、パケット方式で転送され、ウィンドウIDが付与された画像情報を、指定サブパネル上で展開することが可能となる。尚、パケットによるデータ転送については、後に詳述する。

【0035】以上、本実施の形態について概念的に説明したが、次に、本実施の形態における各部の構成について詳述する。図1は、本発明が適用された画像表示システムの一実施形態を示すブロック図である。図1において、符号10はパーソナルコンピュータ(PC)等からなるホスト(HOST)側であり、本実施の形態における表示装置を駆動するための駆動装置としての役割を有している。このホスト側10において、符号11はグラフィックスチップであり、その内部に有するプリプロセッサ20によって画像データの前処理が実行される。12はグラフィックスメモリであり、後述する分散処理によってグラフィックスチップ11がリフレッシュを続ける必要がなくなったことから、従来のものに比べて小さな容量で構成されている。13はアプリケーションを実行するホストシステム(図示せず)に接続されたシステムバスである。14はグラフィックスチップ11とグラフィックスメモリ12の間に有するグラフィックスメモリバスである。また、15はインターフェイス(I/F)トランシーバであり、画像データをシリアル化してデジタルI/Fライン49を通してパネル側50に送信している。

【0036】一方、パネル側50には、その内部にポストプロセッサ70を有する複数のパネル制御チップ51を備えている。図1では、パネル55の4分割に対応して4個のパネル制御チップ51を用いて分割されたパネル55を駆動している。52はそれぞれのパネル制御チップ51に設けられたパネルメモリである。53は画像データを入力するインターフェイス(I/F)レシーバである。また、54はパネル制御チップ51からの出力をパネル55に伝達するためのパネルデータ出力である。

更に、55は実際に画像を表示するパネルであり、図1では4つの領域に分割されている。このパネル55は、高精細パネルで構成されており、この高精細な画面をサポートするために、パネル制御チップ51は、複数個の並列処理を可能としている。また、68は外部データバスであり、69はパネル内データバスである。

【0037】本実施の形態における特徴的な構成は、グラフィックスチップ11内のプリプロセッサ20でデータの前処理を実行し、パネル制御チップ51内のポストプロセッサ70で後処理をすることにある。これにより、今までグラフィックスチップ11が行っていた、画像データを混ぜ合わせて画面リフレッシュをする等のホスト側10にて実施していた画面生成のジョブを、表示装置側(パネル側50)に移している。つまり、プリプロセッサ20で画像データの展開前、即ち、混ぜ合わせ前の画像データにタグや画像データの属性およびエラー保護を付け、ポストプロセッサ70にてパネルメモリ52に対して初めて画像データを展開し、即ち、それを解凍し、画像データを混ぜ合わせ、リフレッシュ回路(図示せず)に転送している。

【0038】ここで、本実施の形態における一般的な画像データの処理の流れを説明する。ホスト側10のグラフィックスチップ11は、グラフィックスメモリバス14でグラフィックスメモリ12を読み書きする。アプリケーションを実行するアプリケーションシステム(図示せず)とは、システムバス13によりハンドリングが行われる。このシステムバス13には前述のAGPが採用されている。このAGPは、従来のPCIバスに対して2倍~8倍のパフォーマンスがあるが、バスではないのでシステムの中で1つしかアクティブにはならない。グラフィックスチップ11のデジタル出力は、I/Fトランシーバ15に送られ、そこでシリアル化されて高速転送される。

【0039】I/Fトランシーバ15でシリアル化された画像データは、デジタルI/Fライン49を介して受け側のI/Fレシーバ53に送られる。このI/Fレシーバ53は、シリアル化された画像データをもとのパラレルのビデオデータに戻している。このパラレルに変換された画像データはパネル制御チップ51に送られる。このパネル制御チップ51の中では、まず、パケット化(後述)された画像データがポストプロセッサ70で

解凍され、ウィンドウID(後述)を認識してそれに合うデータ操作を施し、パネルメモリ52に展開して格納する。これとは別に、パネル制御チップ51はパネルメモリ52から表示データを順次読み出し、パネル55に対して送出している。

【0040】このように、本実施の形態では、従来、グラフィックスチップ11が行っていた表示処理のジョブ(例えば、画像データの展開、表示のためのリフレッシュ、H(水平)/V(垂直)方向のタイミング生成、表示装置のスクリーンサイズによるメモリの割り振り、色数の割り振り等)の大部分を、パネル制御チップ51のポストプロセッサ70とそれに続く回路が行っている。このように、本実施の形態におけるシステムでは、ホスト側10におけるグラフィックスチップ11の負荷が減り、マルチチップ構成が可能なパネル制御チップ51で表示処理をするために、高精細を表示する技術として十分に機能することができる。また、グラフィックスチップ11では、例えば単にVGA解像度で処理され、パネル制御チップ51で拡大処理されることから、3Dグラフィックス等の動画に対する表示も可能となる。

【0041】図2は、図1にて説明したホスト側10のグラフィックスシステムを説明するための図である。グラフィックスチップ11には、ビデオデータを生成するDAC(D/Aコンバータ)16と、同期信号を生成するためのアドレスジェネレータ17が備えられている。従来技術では、表示装置にてそのまま表示できる形態として、アドレスジェネレータ17ではディスプレイイネーブル信号と共にH-SyncとV-Syncからなる同期信号を出力していた。本実施の形態では、グラフィックスチップ11の処理を軽減し、画像データを展開せず、そのままのデータを送れるように構成している。DAC16からは、例えば24ビットからなる色データがプリプロセッサ20に対して出力される。また、アドレスジェネレータ17からはデータが送られていること、即ち、データバリッドを示すDE信号と、スタートポイント等を設定するためのアドレス(Address)信号だけがプリプロセッサ20に対して出力される。プリプロセッサ20は、画像データに対してウィンドウIDとアドレス情報などを付加する処理を実行している。尚、ホスト側10とパネル側50との情報交換には、DDC(Display Data Channel)として知られているI2Cベースのインターフェイスが用いられる。このインターフェイスを介して制御信号がホスト側10とパネル側50との間を行き来できるように構成されている。

【0042】図3は、プリプロセッサ20の内部構成を示すブロック図である。入力ラッチ21はアプリケーションから入力されるビデオデータをラッ奇している。IDレジスタ22ではパケットに付与されるウィンドウIDがセットされ、このウィンドウIDに対応したプリハンドラー26が選択できるように構成されている。ボイ

ンタ23は簡単なアドレスやデータの順番などの情報をパケット用に変換している。シンクピット24は表示画面と書き込みデータの同期を取るためのピットである。このピットに合わせて表示画面の垂直カウンタの同期が取られる。チェックピット生成器25は入力ラッチ21からのデータ入力とデータバリッドを示すDE(Display Enable)信号を受けて、画像データのチェックピット(バリティ、サム、CRCなど)を生成している。

【0043】また、プリハンドラー26はプリプロセッサ20側のハンドラーであり、ウィンドウID毎のデータを持っている。ここで、ハンドラーとは1つのウィンドウの処理を担当する処理ユニットを言い、パネル側50の、後述するポストプロセッサ70にも備えられており、各種のレジスタを有している。ウィンドウIDレジスタ27はプリハンドラー26における各ハンドラーがどのウィンドウに対応するかのIDを示している。クリップレジスタ28は実際に書き込みができる領域を示すレジスタである。ポジションレジスタ29は転送データの位置を示している。スケールレジスタ30は画像データのスケーリングをするための倍率を示すレジスタである。モードレジスタ31は画像データの転送モードや書き込みモードを示している。プライオリティレジスタ32はウィンドウID毎のプライオリティを示している。

【0044】また、DDCハンドラー37はパネル側50との間でDDCの制御信号を送受している。ジョブ番号出力レジスタ33はジョブ番号を書き込むレジスタであり、このジョブ番号はDDCハンドラー37を経由してパネル側50に送られる。ジョブ番号入力レジスタ34では全体で最小のジョブ番号がDDC経由で読み込まれている。このジョブ番号に関しては、後述する実施の形態2で説明するように、マルチシステム構成を採用した際の同期合わせに用いられる。シンクバックレジスタ35はパネル側50から同期を取るために用いられ、パネル側50の正規化された垂直情報が読めるように構成されている。エラーステータスレジスタ36ではパネル側50での処理のエラー情報が戻されるように構成されている。更に、マルチブレクサ38では、IDレジスタ22、ポイント23、シンクピット24からのヘッダー情報、入力ラッチ21からのビデオ画像データであるボディ情報、チェックピット生成器25からのフッター情報、プリハンドラー26からのコマンドをマルチブレクスし、パケット化してパネル側50に転送している。

【0045】図4は、パネル側50における表示回路の概略構成を示すブロック図である。パネル制御チップ51は、ポストプロセッサ70、入力 FIFO 61、出力 FIFO 62、入力アドレスレジスタ63、Hカウンタ65とVカウンタ66を有する出力アドレスレジスタ64を備えている。ホスト側10からシリアルライズされて転送された画像データは、I/Fレシーバ53により、パラレルの画像データと制御信号DEに変換される。從

来技術と異なり、I/Fレシーバ53からのデータはパケット形式であり、ポストプロセッサ70により解凍されて処理される。このポストプロセッサ70はパネル側50内のパネル制御チップ51の中に設けられ、ホスト側10から送出されたパケットを処理する。スケールなどの処理もこのポストプロセッサ70が実行する処理の一つである。画像データは入力 FIFO61と出力 FIFO62によりタイミングを調整されながら、パネルメモリ52にリード/ライトされ、次の処理へと送られる。ここで、ポストプロセッサ70によって処理される画像データはX/Yアドレスとなっており、入力アドレスレジスタ63でメモリアドレスに変換され、この変換されたメモリアドレスは、パネルメモリ52および出力アドレスレジスタ64に入力される。この出力アドレスレジスタ64はHカウンタ65とVカウンタ66を備えており、水平/垂直方向の同期信号がパネル55に対して出力される。また、表示モードの変換などはポストプロセッサ70が実行している。

【0046】図5は、ポストプロセッサ70の内部構成を示すブロック図である。入力ラッチ71では入力されるパケットデータがラッチされる。IDレジスタ72ではパケットに格納されているウィンドウIDがセットされる。ポインタ73はパケット化された簡単なアドレスやデータの順番などの情報を変換している。シンクビット74は表示画面と書き込みデータの同期を取るためのビットである。このビットに合わせて表示画面における垂直カウンターの同期が取られる。エラー生成器75ではデータのチェックビットを元にしてデータのエラーが検出される。一方、アドレス生成器76では、IDレジスタ72、ポインタ73、シンクビット74からのポインタやパケット情報などからアドレスが生成される。クリッピング回路77ではポストハンドラー78内のクリップレジスタ80とプライオリティ制御回路89から書き込み可能なエリアを検出し、入力ラッチ71からの画像データに対してその部分のデータを切り出すように構成されている。

【0047】ポストハンドラー78はポストプロセッサ70内のハンドラーであり、ウィンドウの処理を担当する処理ユニットとして機能する。ポストハンドラー78内のウィンドウIDレジスタ79は、ポストハンドラー78における各ハンドラーが処理するパケットのウィンドウIDを示している。クリップレジスタ80は実際に書き込みができる領域を示すレジスタである。ポジションレジスタ81は転送データの位置を示している。スケールレジスタ82は画像データのスケーリングをするための倍率を示すレジスタである。モードレジスタ83は画像データの転送モードや書き込みモードを示している。プライオリティレジスタ84は各ハンドラーのクリップエリアのプライオリティを示している。エラーステータスレジスタ85はパネル側50での処理のエラー状況を示すレジスタである。

況を示すレジスタである。

【0048】また、DDCコントローラ86はホスト側10とで送受されるDDC制御信号の処理を行っている。スケーリング回路87ではクリッピング回路77から出力される画像データが拡大/縮小され、パネル55に対して画像データが出力される。FIFOメモリ88はこのスケーリング回路87にて拡大/縮小するために用いられるメモリである。プライオリティ制御回路89は各ポストハンドラー78の処理エリア(クリッピングエリア)と夫々のプライオリティから、そのウィンドウIDにおける画像データの書き込み可能エリアを設定している。更に、同期制御回路90は正規化した垂直カウンタを用い、パネルの垂直同期とシステムにおけるデータ処理の同期を取るために使用される回路であり、垂直同期信号を出力している。ジョブ番号レジスタ91は、低速バスである内部バスに接続されると共に、マルチシステムを採用する際に用いられて、最小のジョブ番号を保存している。

【0049】ここで、ホスト側10のプリプロセッサ20と、パネル側50のポストプロセッサ70とでなされる処理について、図6のフローチャートを用いて簡単に説明する。まず、プリプロセッサ20におけるプリハンドラー26の各レジスターが、アプリケーションによるウィンドウに応じてセットされる(ステップ301)。この情報は、DDCハンドラー37を介してDDC制御信号により、ポストプロセッサ70に転送され、ポストハンドラー78のウィンドウIDレジスタ79がセットされる(ステップ302)。一方で、画像データを転送する際に用いるパケットのヘッダー情報として、IDレジスタ22、ポインタ23、シンクビット24が書かれる(ステップ303)。また、プリプロセッサ20は、パケットのボディの中にポストハンドラー78の情報を入れてパケットにして転送する(ステップ304)。転送されたデータはIDが一致しているポストハンドラー78に保存される(ステップ305)。

【0050】次に、パケットのボディにビデオデータを入れてヘッダー、ボディ、フッターとしてシステムから転送する(ステップ306)。パネル側50はこのパケットからまずヘッダーを切り出してその中のIDにあったポストハンドラー78を選び、選ばれたハンドラーによってこれが処理される(ステップ307)。クリップ情報とプライオリティー、ポジション情報、ヘッダーのアドレス情報からデータ部分が処理される。その後、次段にデータとアドレスが送られる(ステップ308)。同時にエラー検出を実行してエラー情報が蓄えられる(ステップ309)。このステップ306からステップ309の処理が1ライン(例えば1280ドット)又は1ブロック(例えば32×32ドットのブロック)毎になされる(ステップ310)。ホスト側10のシステムからは定期的にエラー情報がDDC経由で読み込まれ、必要な処理(転送ストップ

21

ブや再転送)がなされる(ステップ311)。

【0051】図7(a)、(b)、(c)は、従来技術と本実施の形態とのデータ転送の比較、およびデータフォーマットを示した説明図である。図7(a)は従来のビデオデータの転送を示している。従来の転送は、R(Red)/G(Green)/B(Blue)のビデオデータとV-sync、H-sync、DE、およびその他の2本程度のコントロール信号をシリアル化して送っている。ビデオデータは、表示画面に合わせて左上から右下へ、1ラインずつ順次、転送される。また、その転送の間は、ブランкиング時間としてデータ転送をしない期間がある。一方、パネルからホストへDDC制御信号を送るための、100[KHz]程度と遅い読み込み経路がある。

【0052】一方、図7(b)に示した本実施の形態におけるビデオデータの転送では、従来の転送におけるブランкиング時間を利用する。そして、ヘッダーとフッターに16ドット以下の情報を附加している。これをパケット化と呼んでいる。本実施の形態では、同時に複数のソースのパケットを扱うために、V-syncとH-syncの同期信号はここでは意味がなくなり、V-sync情報をヘッダーに含ませるように構成した。従って、同期信号はデータ転送量を示す信号であるDE1本で良くなり、本実施の形態ではこの同期信号をエラー処理などで使用している。また、DDCで処理する情報が増え、双方向での使い方となる。また、データの量は固定ではない。尚、本実施の形態では、データ形式を従来技術と似せるように配慮している。これは、市場に従来のPCとモニター装置が存在する場合を考慮し、従来方式を採用した機器と互換性を保つためである。また、グラフィックスチップの変更を最小にするためにも、データ形式をあまり変えずにサポートできるように配慮している。

【0053】図7(c)に、本実施の形態におけるデータフォーマットを示している。ボディが通常の画像データ部分であり、可変長となっている。ヘッダー部分には画像データの名札に該当するウィンドウID、書き込みポジションを示すポインタ、V-syncの代わりである同期ビットなどがある。各パケットビットの最後にはフッターがあり、エラーの検出に使用される。これは、データが伝送系を通して送られるので、フェーズエラーなどが起こる場合を考慮したためである。

【0054】以上説明したように、本実施の形態によれば、例えば、画面リフレッシュワークの表示装置側(パネル側50)への移動と、表示装置でのスケーリングによりワークロードを低減することが可能となる。超高精細パネルにおいてウィンドウ表示をした場合、文字などの表示は当然に高精細である必要があり、静止画でも同様である。しかしながら、ゲームなどの3D表示では、CPU側のパフォーマンスが十分ではないので、例えばVGAの画面となる。本実施の形態によれば、この2つの部分を分けて、静止画の部分はパネル側50のメモリ

10

20

30

40

50

22

を用いてリフレッシュを行う。これにより、システム側(ホスト側10)は3Dのワークのみとなって処理能力は、例えばSXGAの場合は2倍以上向上することができる。更に、従来、3Dの表示部分は、VGA(640×480ドット)の解像度でXGA(1024×768ドット)のサイズで表示する場合、システム側で約1.5倍にスケールアップしてデータ転送していた。本実施の形態によれば、このワークについてもパネル側50で処理することが可能となる。特に超高精細表示で4倍の拡大となった場合や、ノートブックなどで消費電力が厳しい場合には大きなメリットとなる。

【0055】実施の形態2

実施の形態1では、ホスト側10にて単独のグラフィックスチップ11を用いて表示装置を駆動する場合について説明した。実施の形態2では、ホスト側10にて複数のグラフィックスチップ11を用いて表示装置を駆動する、所謂マルチシステムによる表示手法について説明する。尚、実施の形態1と同様の機能については同様の符号を用い、ここではその詳細な説明を省略する。

【0056】本実施の形態におけるマルチシステムによる動画画像の表示処理は、大きく2つの特徴を有している。1つは、実施の形態1にて説明したように各システムが分担した画面を制御するだけではなく、その中の1つのシステムから全体の画面を制御できる点にある。従来では、それぞれのシステムがそれぞれの画面を制御していたので、1つのシステムのOSは画面の1/4の制御だけで全体を制御することができなかった。本実施の形態によれば、例えば、1つのシステムからは通常のウィンドウ処理ができると同時に、特定の3Dウィンドウに対してのみ複数のシステムのサポートを受けるように構成することが可能となる。他の1つの特徴は、同期の取り方の違いにある。従来は、システムが高速LANや特別なコミュニケーション手段を有し、これらにより複数システム間の同期を取るよう構成されていた。この方法は複雑であり、システム間による相互依存性が強かった。一方、本実施の形態では、表示装置(パネル側50)とのやり取りの中で、複数システム間の同期を取ることが可能となる。

【0057】図11は、本実施の形態におけるマルチシステムでのシステム構成を説明するためのブロック図である。同図に示されるように、表示分解線56により4分割されたパネル55が、それぞれパネル制御チップ51に接続されている。但し、必ずしも複数のパネル制御チップ51を有している必要はなく、1つの制御チップで制御する構成することも可能である。それぞれのパネル制御チップ51は、別々のシステム100のグラフィックスチップ11からビデオデータが送られている。パネル側50では、同時に1つのシステム100から全体の画面を制御できるように、各パネル制御チップ51はパネル内データバス69によって接続されてい

る。

【0058】ここで、一般に複数システム(PC等)で動画表示をする場合、同期に関する2つの問題点が指摘されている。1つは、画面のリフレッシュと表示データの転送に関する同期の問題点である。表示画面が1つの場合には、画面リフレッシュのタイミングは当然に1つであり、各システムはこれと同期が取られないなければならない。例えば、上下の画面で人を表示し、人が右に動いているとしてリフレッシュしているデータを書き換えた場合を考える。同期が取られないないと、例えば上部だけが1ドット右に動き、下部がそのまま取り残される等、画面のつなぎ目である表示分解線56でこのような現象が起きてしまう。他の1つは、動画処理自体の同期の問題であり、動画のアプリケーションが時間で制御されていない場合に生じる。例えば1フレームである16[msec]の間に行う仕事量が決められているのではなく、システムのパフォーマンスに合わせて表示コマを進めたり、表示をさらに細かく描く場合等である。これらのシステムから送られた画像データをつなぎ合わせて表示する場合、それぞれが処理しているデータ量の違いにより、例えば左側の画面は処理が早くてフォギング(Fogging: もやをかける)などの画像処理がされ、右側が遅くてフォギングされない等の現象が起きる場合がある。

【0059】図12は、本実施の形態におけるホスト側10とパネル側50との同期処理の構成を示す説明図である。本実施の形態では、DDC信号を用いて上記2つの同期に関する問題を解決している。ホスト側10における1つのシステム100内の、更にグラフィックスチップ11内のプリプロセッサ20には、同期制御回路40やリード/ライトコントロール45等が備えられている。この同期制御回路40は、オフセットレジスタ41、加算器42、マルチブレクサ43、垂直同期カウンタ44を備えている。一方、パネル側50におけるパネル制御チップ51のポストプロセッサ70には、同期制御回路111、DDCハンドラ115、ジョブ(JOB)番号コントローラ116が備えられている。この同期制御回路111は、垂直同期カウンタ112、オフセットレジスタ113、加算器114を備えている。また、ジョブ番号コントローラ116は、ジョブ番号入力レジスタ117、ジョブ番号出力レジスタ118、比較器119、内部バスコントローラ120、内部バス121を備えている。

【0060】パネル側50には、画面のリフレッシュの位置情報を有する垂直同期カウンタ112があり、パネル55のリフレッシュに同期して2つの内部同期信号(INT#VSYNCとINT#HSYNC)により全てのチップが同じ値を持つ(但し、パネル制御チップ51が1個の場合には必要がない)。これは、内部のINT#HSYNC毎にオフセットレジスタ113からの出力が加算器114に加算されて、パネル55の垂直ライン数に影響されないように正規化さ

れている。この値はDDCで読み出され、システム100側のグラフィックスチップ11中の垂直同期カウンタ44に書き込まれる。この垂直同期カウンタ44からの出力も正規化するためにオフセットレジスタ41からの出力と共に加算器42にて加算される。

【0061】図13は、本実施の形態におけるプロセスフローを示す図である。左側がシステム100のアプリケーションまたはデバイスドライバー側における処理の流れを示している。また、右側はパネル側50のパネル制御チップ51における処理の流れを示している。本実施の形態では、各システム100からの仕事は、ジョブによって管理され、複数のシステム100によるマルチシステム間でどこまで書けるかをシェアできるように構成されている。ここで、ジョブ(タスク)は、例えば動画においては、どのポリゴン(3Dでは三角形)まで書くかといった分割単位であり、ジョブ(タスク)番号は画像処理を任意の単位で分け、シーケンス番号にしたものである。画像処理の単位は任意に選択可能であり、1フレーム内の処理を区切っていることから、1フレームで数十以上の単位となれば問題はない。

【0062】まず、アプリケーションは、あるタイミングにおいて次のフレーム内で実行できる処理の最大のジョブ番号を計算する(ステップ401)。更に、ジョブの同期合わせを実行するために、複数のシステム100の中でマスターとなるマスターPCのジョブ番号を0(又は最小)としてオペレーションを止める(ステップ402)。計算された最大のジョブ番号は、DDCを経由してパネル側50のパネル制御チップ51に転送される。ここで画像処理は、特定の単位で分割されて処理順に番号が振られることを前提としている。パネル制御チップ51では、パネル側50の内部バス(INT#BUS)121に、順次、それぞれのジョブ番号を流す(ステップ404)。各パネル制御チップ51では、比較器119にてバス上のジョブ番号の値と比較し、小さい方のジョブ番号を読み込み、ジョブ番号出力レジスタ118に書き込む(ステップ405)。

【0063】各システム100では、DDC経由でジョブ番号を読み込み、パネル制御チップ51のジョブ番号出力レジスタ118または既に読み込まれたジョブ番号入力レジスタ34からジョブ番号を読み込む(ステップ406)。各システム100では、読み込まれたジョブ番号に基づいて、次のフレームでの処理としてこの番号までのジョブを実行する(ステップ407)。本実施の形態では、マスターPCがジョブ番号を0とすることで全体のオペレーションの開始を止め、このマスターPCが動き始めると動作が始まることで、アプリケーションが処理するジョブの番号を各システム100にて取得することが可能となる。これらの一連の処理をマスターPCに正しいジョブ番号がセットされるまで実行することで、複数のシステム100におけるジョブの同期合わせ

25

を行っている。即ち、この処理フローによって複数のシステム100において、最も遅いシステム100に同期を合わせることが可能となる。

【0064】次に、マスターPCに正しいジョブ番号をセットする(ステップ408)。これによってジョブがスタートする。各システム100では、次のフレーム内に処理できる最大のジョブ番号を計算する(ステップ409)。前述と同様にDDC経由でパネル55に対してジョブ番号をセットする(ステップ410)。一方、パネル制御チップ51では、パネル側50の内部バス(INT#BUS)121に、順次、それぞれのジョブ番号を流す(ステップ411)。各パネル制御チップ51では、比較器119にてバス上のジョブ番号の値と比較し、小さい方のジョブ番号を読み込み、ジョブ番号出力レジスタ118に書き込む(ステップ412)。システム100側では、DDC経由でジョブ番号を読み込み、パネル制御チップ51のジョブ番号出力レジスタ118または既に読み込まれたジョブ番号入力レジスタ34からジョブ番号を読み込む(ステップ413)。各システム100では、読み込まれたジョブ番号に基づいて、次のフレームでの処理としてこの番号までのジョブを実行する(ステップ414)。その後、ステップ409に戻る。

【0065】図14は、前述のフローチャートで説明したマルチシステムによる同期処理オペレーションを更に説明するためのタイミングチャートである。垂直同期(V-SYNC)毎にパネル垂直カウンタ(Panel V-CNTR)がゼロになり、垂直同期カウンタ112がカウントされていく。どこかの時点でこのレジスターが読まれ、システム側の垂直同期カウンタ44に書き込まれる。図14におけるSystem V-CNTRのタイミングに示されるように、この垂直同期カウンタ44への書き込みでは少しの遅れを生ずるよう構成されている。システム100側はこの遅れを待って同期を認識することが可能となる。

【0066】この図14のタイミングチャートでは、システム100の垂直同期カウンタ44が最大値に近いタイミングを用い、各自がジョブ番号の計算を始めている。即ち、読み込む作業をしてからジョブの計算を始めるために、垂直カウンタ(VCNTR)がN+X時間以上経過して処理を開始する。同時に、システム側が有するダブルバッファ(図示せず)からパネル側50にデータ転送を始める。そしてその値をパネル側50のジョブ番号入力レジスタ117に書き込む。パネル側50では、適当なタイミングで内部バス121上に各パネル制御チップ51の値を乗せる。各パネル制御チップ51は、その値を内部バスコントローラ120から読み込む。そして、ジョブ番号入力レジスタ117の自分の値、およびジョブ番号出力レジスタ118に書き込んだ値とを比較して、1番小さな値を比較器119から得て、再びジョブ番号出力レジスタ118に書き込む。これによって、システム100から読み込まれるときには、各システム100

10

20

30

40

50

26

の最小のジョブ番号が読み込まれる。この値を読み込んだシステム100は、その番号までを次の処理で実行すると同時に、垂直カウンタ(V-CNTR)のセットを行っている。即ち、システム100では、DDC経由でジョブ番号と垂直カウンタ(V-CNTR)の値を読み込み、次のフレーム処理のジョブ番号を決定し、同時に垂直カウンタ(V-CNTR)をセットしている。

【0067】以上説明したように、本実施の形態によれば、システム側のパワーが不足している、例えば3D表示の場合であっても、例えば表示部分を4個の部分に分けることで表示することが可能となる。即ち、例えば分割したそれぞれの部分を4台のシステムでドライブすれば、4倍の画面であるSXGA程度(1280×1024ドット)の大画面や、10"UXGA(200dpi)の超高精細の表示が可能となる。本実施の形態によれば、ユーザから見ると、1つのシステムから画面全体を表示しながらして、3Dのウィンドウだけが高性能でサポートされることになる。また、複数種類のシステム、即ち、OSの全く異なるPCがそれぞれ画面を表示したり、協力して表示することが可能となる。

【0068】実施の形態3

この実施の形態3では、表現色数を増やした多ビットからなる表示色をサポートするための画像表示手法について説明する。従来、24ビット以上の表示色のサポートは、ハイエンド(高級機)のワークステーションに限られていた。これは、24ビット以上の表示色をサポートするためには、各部分の処理速度が上がりシステムが高価になることがその要因の1つである。本実施の形態では、ホスト側とシステム側とで分散処理を実行することにより、システムの処理速度を遅くすることが可能となり、24ビット以上の表示色のサポートが容易となる。尚、前述の各実施の形態と同様の構成については同様の符号を付し、ここではその詳細な説明を省略する。

【0069】図15は、本実施の形態において、カラー画像とモノクローム画像とが混在して画面表示された状態を示している。パネル55の表示画面57上には、通常のテキスト画面からなるウィンドウ59の他に、3D動画画面のウィンドウ58とモノクローム画像のウィンドウ130が表示されている。ここでは、3D動画画面のウィンドウ58を30ビットカラーとし、モノクローム画像のウィンドウ130を14ビットの単色画面としている。実施の形態1および2で説明してきたパネル55の上に、このようなタイプの異なる画像を混在して表示することが可能である。

【0070】図16は、本実施の形態における処理を実行するブロック構成と制御フローを示す説明図である。同図において、パネル制御チップ51は、階調表現を増すためのFRC/ディザ回路131を有している。またポストプロセッサ70には、ガンマ調整やカラーマッチングの処理を行う変換回路132と、パネルメモリ52

とのリード・ライトのタイミングを取るためのFIFOバッファ133が備えられている。まず30ビットカラーの処理を説明する。システムのアプリケーション側から32ビットで送られる画像データは、システムバス13を介してグラフィックスチップ11に入力される。この画像データはグラフィックスチップ11で処理されてデジタルI/Fライン49経由でパネル制御チップ51に送られる。このデジタルI/Fライン49では24ビットで後述するデータフォーマットを用いて転送される。この送られた画像データは、ポストプロセッサ70で再び30ビットに変換されてパネルメモリ52に書き込まれる。このときの画像データの形式は、図16のメモリデータ形式に示されるように、R/G/Bそれぞれ10ビットとなる。FRC/ディザ回路131にて読み込まれた画像データは、R/G/Bそれぞれ8ビットのデータに変換されてパネルデータ出力54からパネル55のX-ドライバー(図示せず)に転送される。FRC/ディザ回路131はR/G/Bそれぞれに対して時間的な分配と空間的分配により階調表現を増すように機能している。

【0071】図17(a)、(b)は、デジタルI/Fライン49のデータフォーマット例を示している。図17(a)はTMDS(Transition Minimized Differential Signaling)データ転送を示している。また、図17(b)はTMDSを用いた30ビットカラーのビットアサインを示している。この図17(a)の3本のTMDS0～TMDS2は、クロック以外のシグナル3本に対応していて、それぞれR/G/B8ビットから10ビットにコーディングしてデータ転送をしている。便宜上、1ドット毎に縦に描いているが、実際にはコーディングされたデータがシリアルに転送されている。コーディングは、同期信号を入れ込む際のエラーリカバリーやDCバランスを取りるために行われ、実際のデータとしてはR/G/B各8ビットしか使えない。24ビットカラーの場合は、そのままR/G/B8ビットのデータが使用される。

【0072】ここで、30ビットカラーの場合には、図17(b)に示すように順にすらして32ビット(8ビット×4)ずつを1ドットデータとしている。従って、24ビット転送で4ドット送れる内容であっても、30ビット転送では3ドットに減ることになる。本方式ではパケットのヘッダー内にデータ転送モードが指定でき、この指定した転送モードに合わせてデータの処理がなされる。また、実際には30ビット転送で各ドットに2ビットの制御ビットが加わり、この2ビットはデータ転送モードでダイナミックにアサインされる。例えば、Write-per-bit(そのビットがONのところだけ書き込むモード)や垂直パリティビットとして、データのエラーチェックを強化したりして用いられる。このように、転送モードは自由にセットできるので、48ビットカラーや64ビットカラーもプロトコル上は容易にサポートすることが可能となる。

【0073】次に、14ビットの単色表示とこれらの混在方法を説明する。図16において、アプリケーション側で例えば16ビットで処理されている場合には、システムバス13には16ビットで転送される。グラフィックスチップ11から出力されるデジタルI/Fライン49では、通常の24ビットの中に入れ込んで転送される。但し、このときにデータ転送モードを16ビットモノクローム転送にセットしておく必要がある。この16ビットデータは、パネル制御チップ51中のポストプロセッサ70内の変換回路132により、30+1ビットのデータに変換される。この変換回路132では、前述のようにガンマ調整やカラーマッチングの処理が行われている。この30ビットの構成は、モノクロームの上位6ビットがR/G/B共通で、下位8ビットをR/G/B毎にガンマ調整とカラーマッチングに割り振り(8ビット×3)、合計で30ビットとしている。これに識別ビットに1ビットを加えて、パネルメモリ52には31ビットが書き込まれている。この識別ビットがONのビットは、モノクロームの処理を行い、OFFのところは通常のカラー処理が行われる。図16にこれらのメモリデータ形式の例を示している。R/G/Bが8ビットカラー、10ビットカラーの他、14ビットのモノクロームが示されている。この14ビットのモノクロームでは、Gの14ビットの中から6ビットを上記の共通ビットとしている。尚、パネル側50に対してモノクロームかカラーかを示す為に、データ転送に先駆けて、例えば、図7(c)に示したパケットビデオデータのフォーマットの中で、最初のパケットのヘッダ一部におけるポインタ等に1ビットでモノクロームかカラーかを指定している。

【0074】本実施の形態では、このようにパネルメモリ52に書き込まれた識別ビットによってその後の処理を変えるように構成している。パネルメモリ52から読み出された画像データは、識別ビットでモノクロームか否かの判別され、モノクロームの場合にはR/G/B共通の上位6ビットにそれぞれの下位8ビットを加え、6ビットをFRC/ディザ回路131によりR/G/Bそれぞれ8ビットに変換してパネル55のX-ドライバーに転送している。尚、この識別ビットを、ガンマ調整、カラーマッチング、スケーリング等の処理に用いることが可能である。

【0075】このように、本実施の形態によれば、表現色数を増やしたこと、画像データの転送速度を自由にしたこと、および画像データの転送フォーマットを自由にしたことにより、ガンマ調整やカラーマッチングの処理は、システム側でもパネル側でもどちらでも問題無く実施することができる。例えば、システム側で処理をして30ビットカラーで転送するように構成することも可能であり、また、パネル側に変換テーブルを有して、24ビットカラーで転送されたデータを選択テーブルで30ビットカラーに変換することも可能であ

29

る。更に、カラーかモノクロームかを判別する識別ビットを用いていることから、モノクロームの場合にR/G/Bを分けて処理することから開放される。その結果、例えば14ビット等の多ビットからなるモノクローム画像を表示することが可能となり、例えば、多階調のモノクロームが要求されるレントゲン表示等への適用が可能となる。

【0076】また、本実施の形態における適用例として、DVD(Digital Versatile Disc)の画面を一部表示するものが挙げられる。もともとのDVDのデータは圧縮されており、従来ではシステムとグラフィックスチップにより圧縮を解く必要があった。逆に、この解凍部分を分け、圧縮されたままの状態にあるデータを転送できれば転送量が大幅に削減される。高精細パネルの場合、ホスト側10とパネル側50の間のデータ転送量が多いので、データが圧縮されていると、例えば1/10のケーブルによるバンド幅(ケーブルの数)で良くなる。また、前述したように、例えば静止画画像をR/G/B各10ビットで色数を増やして表示したいと欲する一方で、残りのウィンドウ部分はR/G/B各8ビットでOSがコントロールしている場合がある。かかる場合においても、分割して処理できるために容易にサポートすることができる。更に、ガンマなどの色調整の変換も、同様にウィンドウ毎に制御することが可能となる。本実施の形態によれば、今後、問題となってくると予想されるDVDなどの著作権を有するデータであっても、その表示部分だけを暗号化して転送すること等への応用が可能である。

【0077】以上、実施の形態1～3を用いて詳細に説明してきたが、これらの実施の形態によれば、ドットが見えないような超高精細を出力する場合においても、容量不足や処理速度の遅れ等、システム全体のパフォーマンスを落とすことなく表示することが可能である。また、高精細化が更に進んだ場合においても、その度毎に物理的インターフェイスを変える必要がなく、実用性、経済性にも非常に優れている。

【0078】

【発明の効果】以上説明したように、本発明によれば、ホスト側とパネル側(モニタ側)とで処理の分散を図ることが可能となり、グラフィックスチップを含めたシステム全体の仕事量を最適化することができる。更に、転送能力も含めた画像表示システムの処理能力を十分に引き出すことが可能となり、超高精細パネルやマルチパネルへの表示能力不足などの問題を解決することができる。更に、早い転送速度が要求される3Dグラフィックス等においても、超高精細パネルに対する適切な表示が可能となる。

【図面の簡単な説明】

【図1】 本発明が適用された画像表示システムの一実施形態を示すブロック図である。

10

10

20

30

40

50

30

【図2】 図1にて説明したホスト側10のグラフィックスシステムを説明するための図である。

【図3】 プリプロセッサ20の内部構成を示すブロック図である。

【図4】 パネル側50における表示回路の概略構成を示すブロック図である。

【図5】 ポストプロセッサ70の内部構成を示すブロック図である。

【図6】 ホスト側10のプリプロセッサ20と、パネル側50のポストプロセッサ70との間でなされる処理を示すフローチャートである。

【図7】 (a)、(b)、(c)は、従来技術と本実施の形態とのデータ転送の比較とデータフォーマットを示した説明図である。

【図8】 本実施の形態における表示画面の構成を説明するための説明図である。

【図9】 (a)、(b)は、データ毎の処理とその処理量を説明するための説明図である。

【図10】 本実施の形態にて用いられるパケットを用いた画像データの転送方式を説明するための説明図である。

【図11】 本実施の形態におけるマルチシステムでのシステム構成を説明するためのブロック図である。

【図12】 本実施の形態におけるホスト側10とパネル側50との同期処理の構成を示す説明図である。

【図13】 本実施の形態におけるプロセスフローを示す図である。

【図14】 マルチシステムによる同期処理オペレーションを説明するためのタイミングチャートである。

【図15】 カラー画像とモノクローム画像とが混在して画面表示された状態を示した図である。

【図16】 実施の形態3における処理を実行するブロック構成と制御フローを示す説明図である。

【図17】 (a)、(b)は、デジタルI/Fライン49のデータフォーマット例を示した図である。

【図18】 従来技術におけるグラフィックスチップのパワー不足を解消するための手段を示したシステム構成図である。

【符号の説明】

10…ホスト(Host)側、11…グラフィックスチップ、12…グラフィックスメモリ、13…システムバス、14…グラフィックスメモリバス、15…インターフェイス(I/F)トランシーバ、16…DAC、17…アドレスジェネレータ、20…プリプロセッサ、21…入力ラッチ、26…プリハンドラー、33…ジョブ(JOB)番号出力レジスタ、34…ジョブ(JOB)番号入力レジスタ、35…シンクバックレジスタ、36…エラーステータスレジスタ、37…DDCハンドラ、38…マルチブレクサ、40…同期制御回路、49…デジタルインターフェイス(I/F)ライン、50…パネル側、51…パネ

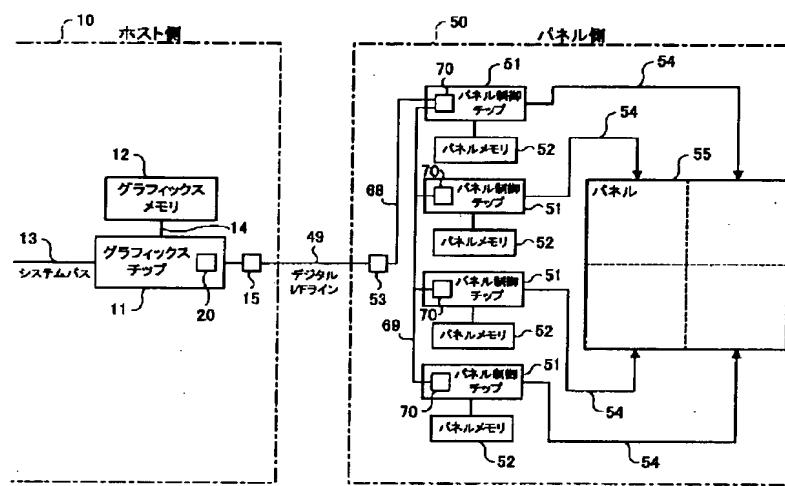
31

ル制御チップ、52…パネルメモリ、53…インターフェイス(I/F)レシーバ、54…パネルデータ出力、55…パネル、61…入力FIFO、62…出力FIFO、63…入力アドレスレジスタ、64…出力アドレスレジスタ、65…Hカウンタ、66…Vカウンタ、68…外部データバス、69…パネル内データバス、70…ポストプロセッサ、71…入力ラッチ、78…ポストハンドラー、86…DDCコントローラ、87…スケーリ*

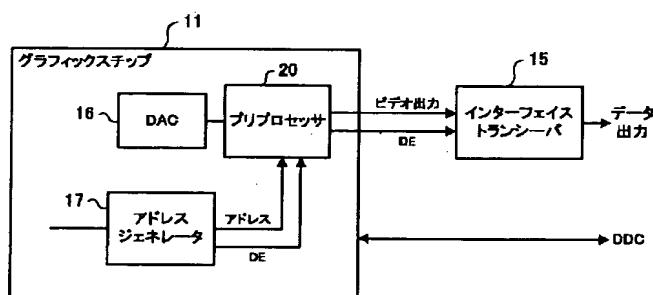
32

*ング回路、88…FIFOメモリ、90…同期制御回路、91…ジョブ(JOB)番号レジスタ、100…システム、111…同期制御回路、115…DDCハンドラー、116…ジョブ(JOB)番号コントローラ、117…ジョブ(JOB)番号入力レジスタ、118…ジョブ(JOB)番号出力レジスタ、119…比較器、120…内部バスコントローラ、121…内部バス121

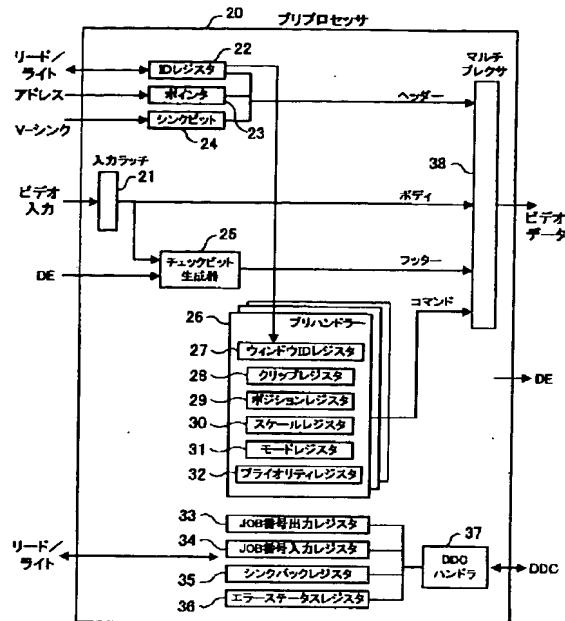
【図1】



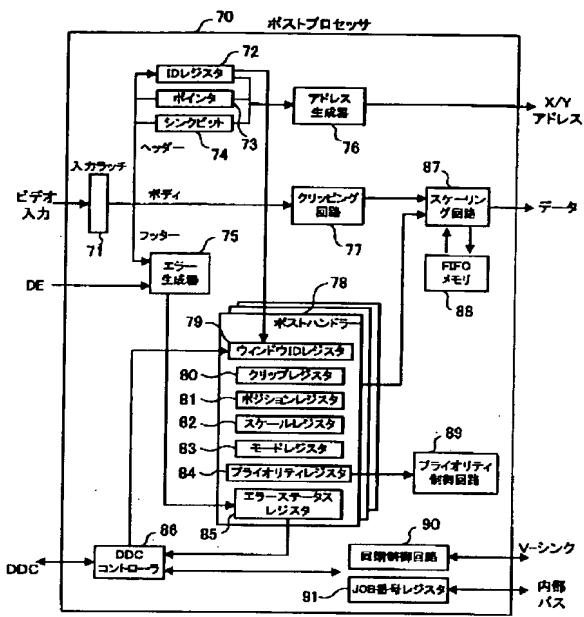
【図2】



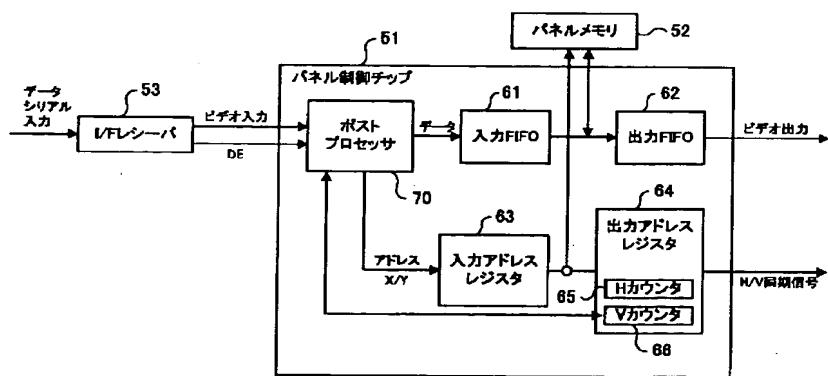
【図3】



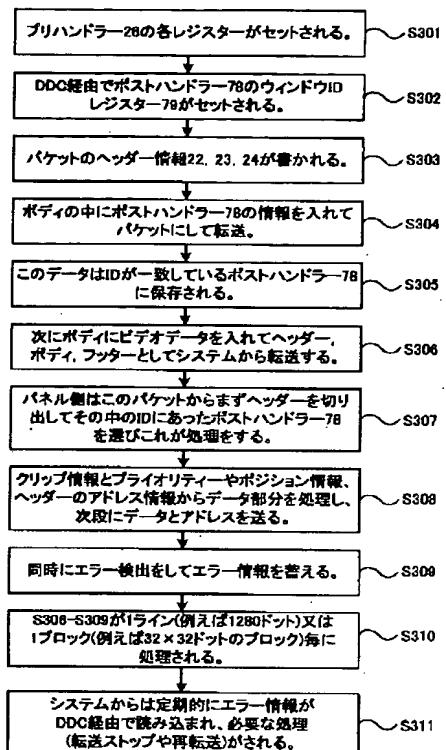
【図5】



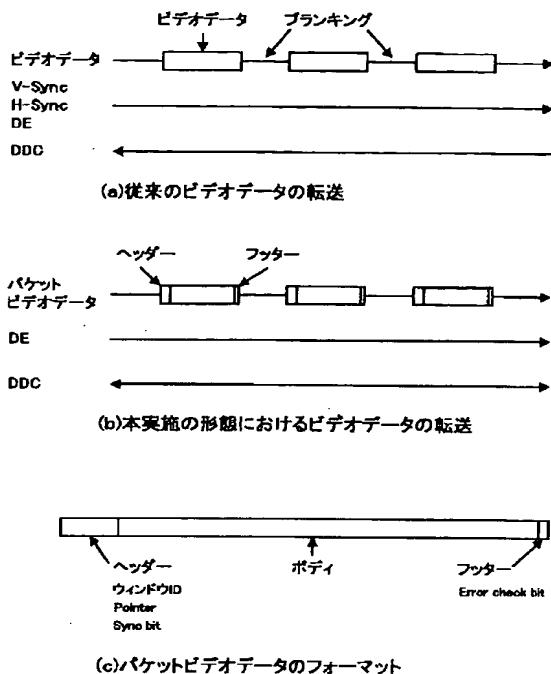
【図4】



【図6】

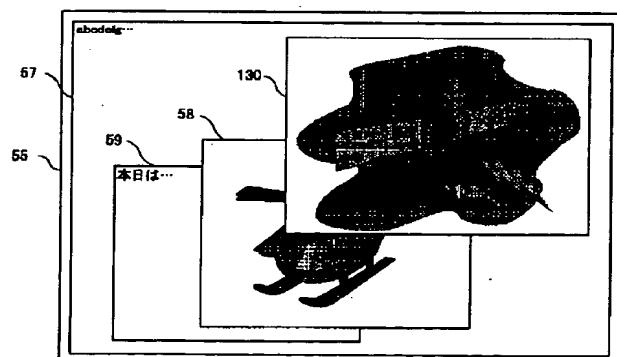
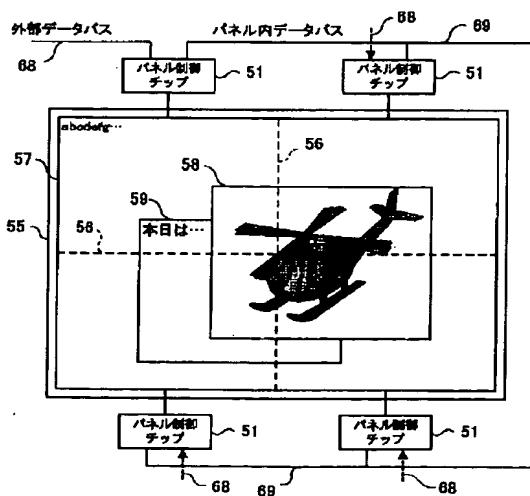


【図7】

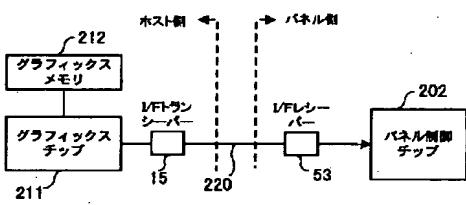
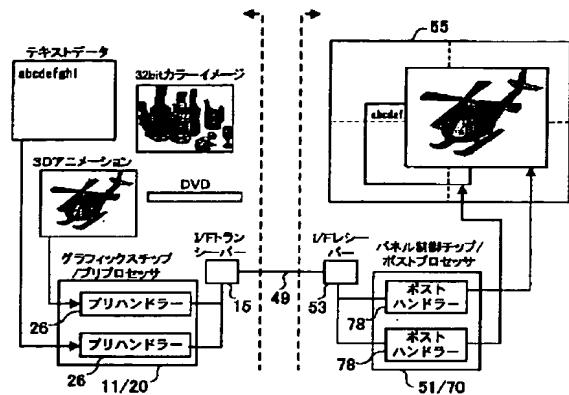


【図15】

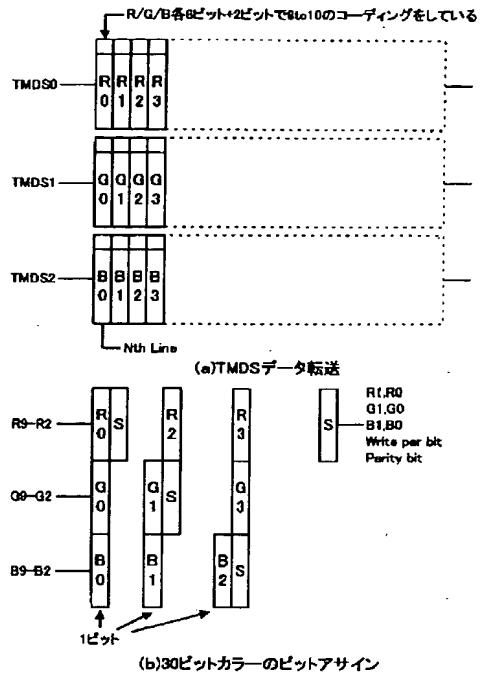
【図8】



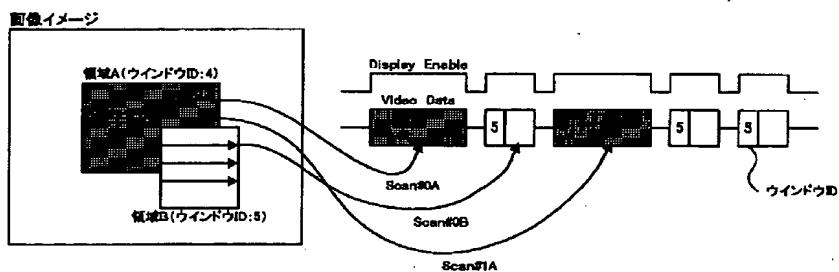
【図9】



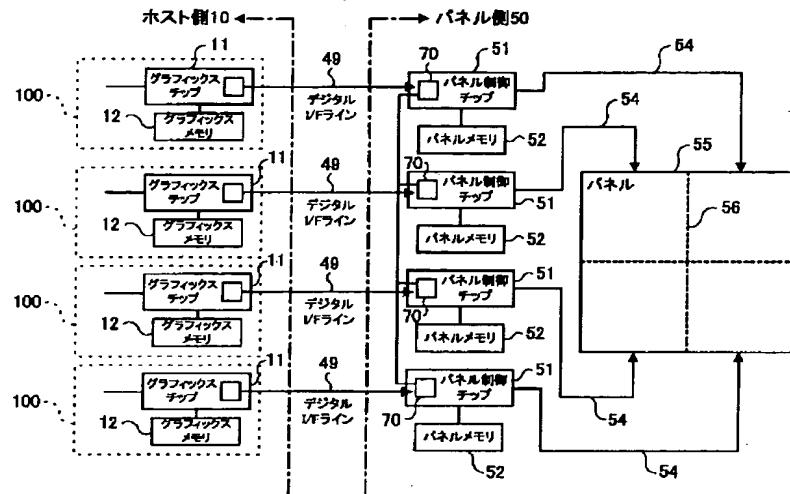
【図17】



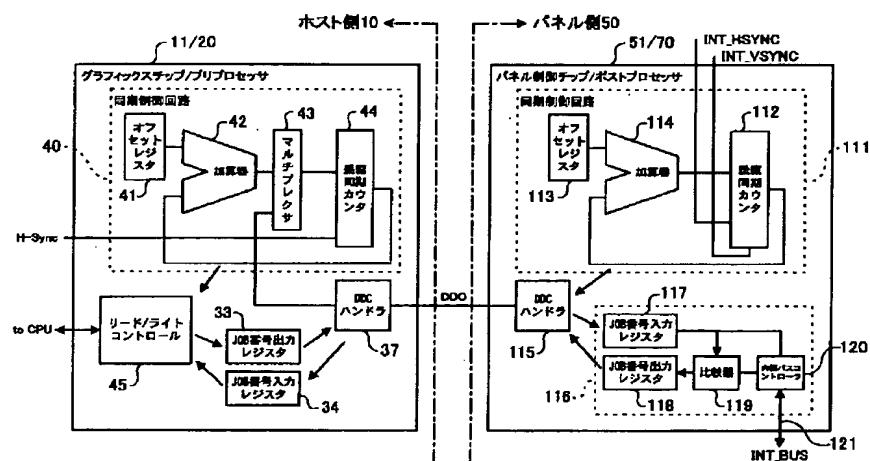
【図10】



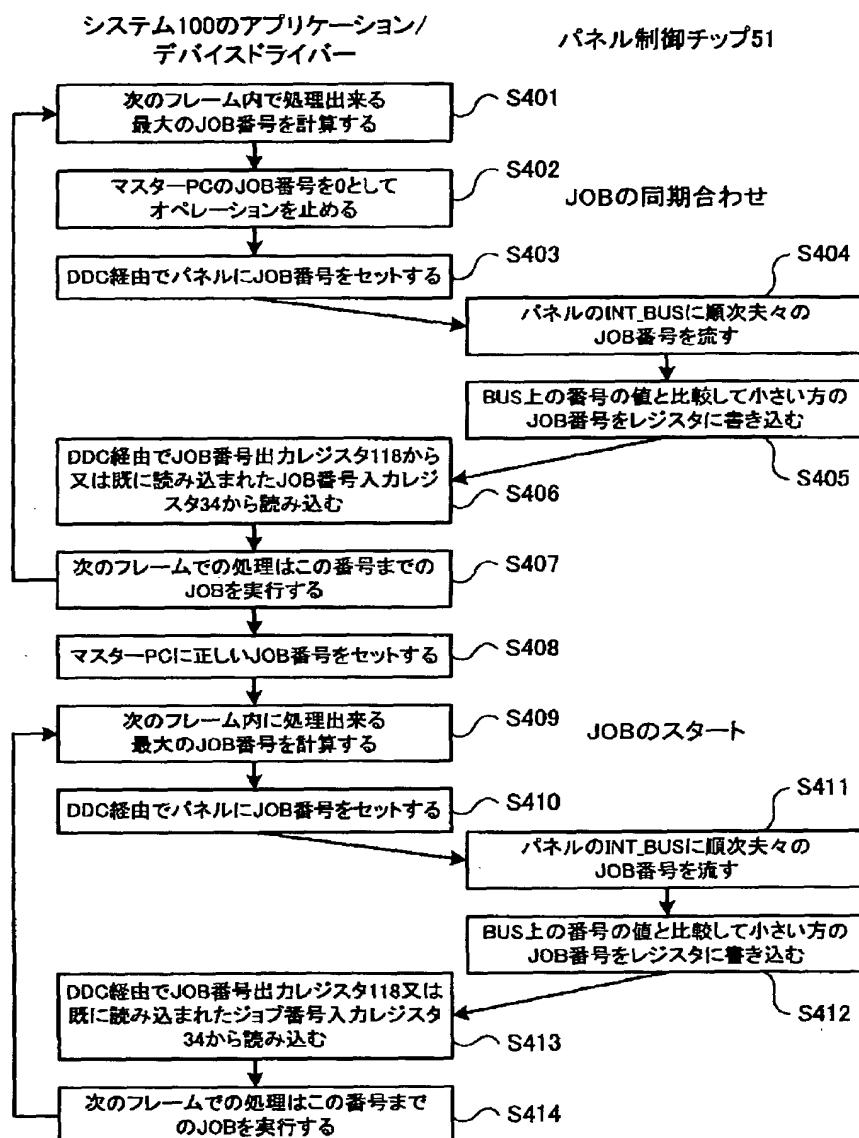
【図11】



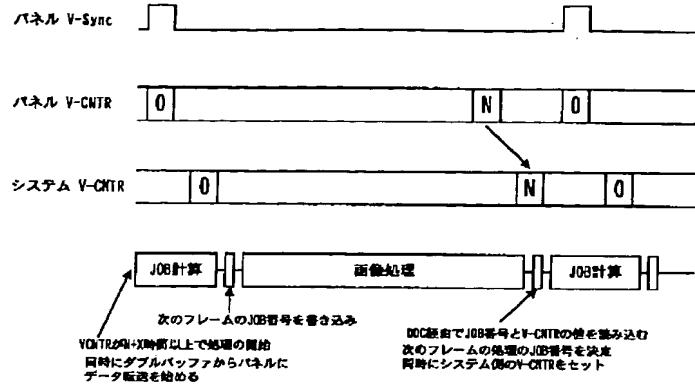
【図12】



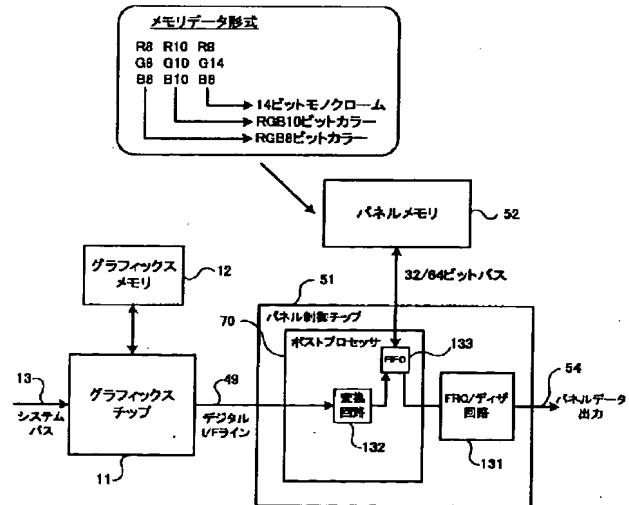
【図13】



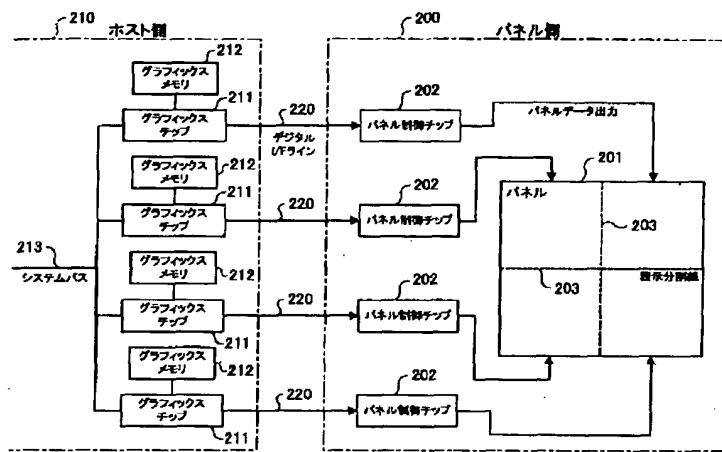
【図14】



【図16】



【図18】



フロントページの続き

(72)発明者 山内 一詩
神奈川県大和市下鶴間1623番地14 日本ア
イ・ビー・エム株式会社 大和事業所内

(72)発明者 塙岡 孝敏
神奈川県大和市下鶴間1623番地14 日本ア
イ・ビー・エム株式会社 大和事業所内
F ターム(参考) SC082 AA01 AA34 BA12 BA34 BB22
BB26 BB44 BD02 BD07 CA33
CA84 CB03 DA64 MM02